

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03069191 A**

(43) Date of publication of application: **25.03.91**

(51) Int. Cl. **H05K 3/46**

(21) Application number: **01205906**

(71) Applicant: **NEC CORP**

(22) Date of filing: **08.08.89**

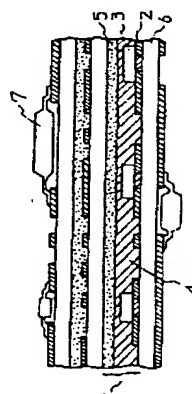
(72) Inventor: **ITAGAKI KATSUHIKO**

**(54) MULTI-LAYER PRINTED-CIRCUIT BOARD WITH
BUILT-IN ELECTRONIC PARTS**

(57) Abstract:

PURPOSE: To achieve super-high density of the entire electronic circuit by mounting an electronic parts on a copper wire which is formed on a substrate material, coating it with resin for forming an electronic parts embedded layer, and then performing lamination through an adhesive.

CONSTITUTION: An electronic circuit is formed on an electronic parts embedded layer 1 by a copper wire 2 and a chip parts 3. Then, a resin 4 is injected into the entire surface to enable the thickness of the electronic parts embedded layer 1 to be uniform. Further, joining with an upper-part substrate material can be made by an adhesive 5.



COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-69191

⑬ Int. Cl.³
H 05 K 3/46

識別記号 庁内整理番号
Q 7039-5E

⑭ 公開 平成3年(1991)3月25日

審査請求 未請求 請求項の数 1 (全2頁)

⑮ 発明の名称 電子部品内蔵の多層プリント基板

⑯ 特 願 平1-205906

⑰ 出 願 平1(1989)8月8日

⑱ 発 明 者 板 垣 克 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電子部品内蔵の多層プリント基板

特許請求の範囲

基板材に形成された銅配線に電子部品を搭載し、その上から樹脂で一面に被覆して電子部品埋め込み層を形成し、この電子部品埋め込み層を接着剤を介して積層したことを特徴とする電子部品内蔵の多層プリント基板。

発明の詳細な説明

〔産業上の利用分野〕

本発明は電子部品内蔵の多層プリント基板に関し、特にプリント基板内部に電子部品を埋め込んだ多層プリント基板に関する。

〔従来の技術〕

従来、プリント基板は写真製版技術により銅配線を高密度化すると共に基板の多層化が進められ

てきたが、いずれも配線のみの高密度化、高多層化に対応してきたに過ぎなかった。

〔発明が解決しようとする課題〕

上述した従来のプリント基板は、配線のみの高密度化、高多層化への対応に留まっていたため、電子回路全体の高密度化に対しては、いかにファインパターン化された写真製版技術を駆使しても限界があるという欠点があった。

〔課題を解決するための手段〕

本発明は、基板材に形成された銅配線に電子部品を搭載し、その上から樹脂で一面に被覆して電子部品埋め込み層を形成し、この電子部品埋め込み層を接着剤を介して積層した電子部品内蔵の多層プリント基板である。

〔実施例〕

次に本発明について図面を参照して説明する。第1図は本発明の第1の実施例の断面図である。

本実施例では、電子部品埋め込み層1にチップ部品3を埋め込んだ構成である。

電子部品埋め込み層1には、基板材6上に、銅

配線 2 とチップ部品 3 により電子回路が形成されている。電子部品埋め込み層 1 の厚みを均一にするために樹脂 4 を一面に注入する。さらに接着剤 5 により上部基板材との接合を図っている。

この実施例では、表面実装部品 7 の他に電子部品埋め込み層 1 を一層設けたことによって実装の高密度化を図っている。

第 2 図は本発明の第 2 の実施例を示す断面図である。電子部品埋め込み層 8 には、基板材 6 上に銅配線 2 と小型パッケージ部品 9 及びフラットパッケージ部品 10 が埋め込まれ、電子回路が形成されている。各電子回路は銅スルーホール 11 により導通が取られている。

この実施例では、一層のみではなく内部多層に電子部品埋め込み層を設けると共に、小型パッケージ部品やフラットパッケージ部品を埋め込んでいるため、電子回路全体のより高密度化が図れるという利点がある。

〔発明の効果〕

以上説明したように本発明は、多層プリント基

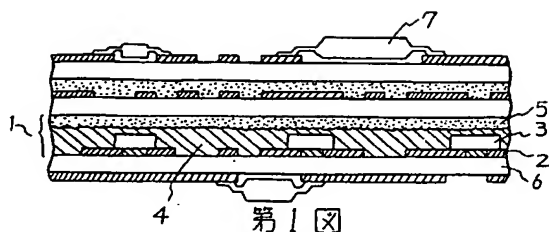
板の内部層に電子部品を埋め込むことにより、従来の配線のみの高密度化では対応できなかった電子回路全体の超高密度化に対応できるという効果がある。

図面の簡単な説明

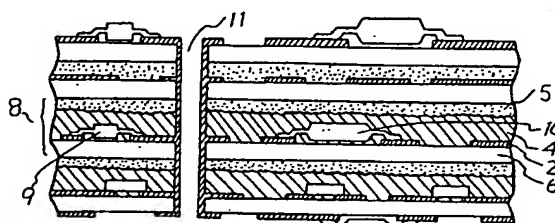
第 1 図は本発明の第 1 の実施例の断面図、第 2 図は本発明の第 2 の実施例の断面図である。

1 … 電子部品埋め込み層、2 … 銅配線、3 … チップ部品、4 … 樹脂、5 … 接着剤、6 … 基板材、7 … 表面実装部品、8 … 電子部品埋め込み層、9 … 小型パッケージ部品、10 … フラットパッケージ部品、11 … 銅スルーホール。

代理人 弁理士 内 原 晋



第 1 図



第 2 図

- | | |
|-----------------|-----------------|
| 1, 8: 電子部品埋め込み層 | 6: 基板材 |
| 2: 銅配線 | 7: 表面実装部品 |
| 3: チップ部品 | 9: 小型パッケージ部品 |
| 4: 樹脂 | 10: フラットパッケージ部品 |
| 5: 接着剤 | 11: 銅スルーホール |